

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-230422  
 (43)Date of publication of application : 19.08.1994

(51)Int.Cl.

G02F 1/136

H01L 29/784

(21)Application number : 05-015762  
 (22)Date of filing : 03.02.1993

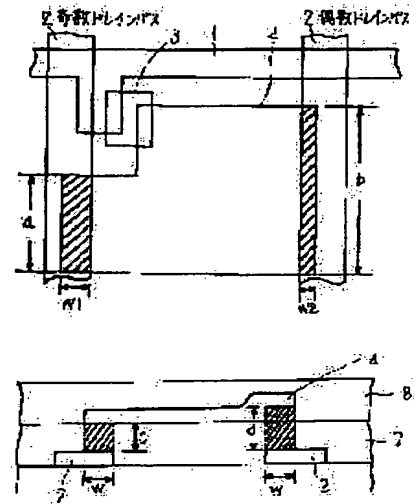
(71)Applicant : FUJITSU LTD  
 (72)Inventor : TANAKA YOSHINORI  
 KOBAYASHI TETSUYA  
 HAYASHI SHOGO  
 YAMAGUCHI HISASHI

## (54) LIQUID CRYSTAL PANEL

### (57)Abstract:

**PURPOSE:** To make an opening rate higher without degrading display quality and to improve light utilization efficiency by completely canceling the fluctuation in pixel voltages by the parasitic capacitors generated by superposition between drain paths and pixel electrodes referring to liquid crystal panel.

**CONSTITUTION:** 1) This liquid crystal panel has gate buses 1 and drain buses 2 arranged in a matrix form, thin-film transistors(TFTs) provided in the intersected parts of both buses and the pixel electrodes 4 arranged to superpose on the drain buses adjacent to right and left via insulating films 7 on the drain buses 2 and is so constituted that the parasitic capacitors in the right and left superposed parts between the pixel electrodes and the drain buses are equaled. 2) The liquid crystal panel is so constituted that the light shielding films shielding at least the TFTs and the pixel electrodes/gate buses are arranged parallel with the gate buses 1 by dividing the films in the direction of the drain buses 2 on the counter electrode side having the transparent electrodes.



## LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-230422

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平5-15762

(22)出願日 平成5年(1993)2月3日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 田中 義規

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 小林 哲也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 林 省吾

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

最終頁に続く

(54)【発明の名称】 液晶パネル

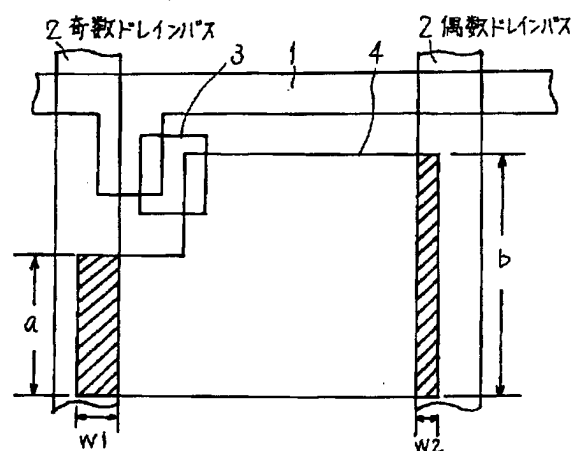
(57)【要約】

【目的】 液晶パネルに関し、ドレインバスと画素電極間の重畳により生じる寄生容量による画素電圧の変動を完全にキャンセルし、表示品質を低下させることなく高開口率化して光利用効率を向上することを目的とする。

【構成】 1) マトリクス状に配列されたゲートバス1およびドレインバス2と、両方のバスの交差部に設けられた薄膜トランジスタと、ドレインバス上に絶縁膜7を介して左右に隣接するドレインバスに重なるように配置された画素電極4とを有し、画素電極とドレインバス間の左右の重畳部の寄生容量が等しくなるように構成する。

2) 透明電極を有する対向電極側に、少なくとも前記薄膜トランジスタと画素電極/ゲートバス間とを遮蔽する遮光膜が該ゲートバスに平行に且つ前記ドレインバス方向に分割されて配置されているように構成する。

本発明の実施例(1)の説明図



1

## 【特許請求の範囲】

【請求項1】 マトリクス状に配列されたゲートバス(1) およびドレインバス(2) と、両方のバスの交差部に設けられた薄膜トランジスタと、ドレインバス上に絶縁膜(7) を介して左右に隣接するドレインバスに重なるように配置された画素電極(4) とを有し、画素電極とドレインバス間の左右の重畳部の寄生容量が等しくなるように構成されていることを特徴とする液晶パネル。

【請求項2】 透明電極を有する対向電極側に、少なくとも前記薄膜トランジスタと画素電極／ゲートバス間とを遮蔽する遮光膜が該ゲートバスに平行に且つ前記ドレインバス方向に分割されて配置されていることを特徴とする請求項1記載の液晶パネル。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はアクティブマトリクス駆動方式による液晶パネルに関する。ラップトップパーソナルコンピュータや壁掛けテレビに使用するアクティブマトリクスTFT方式の液晶パネルの開発が進められている。近年、アクティブマトリクスTFT方式の液晶パネルは高輝度、高画質なものが求められている。

【0002】

【従来の技術】 アクティブマトリクス駆動方式による液晶パネルはドット表示を行う個々の画素に対応してマトリクス状にTFTを配置し、各画素にメモリ機能を持たせコントラスト良く多ラインの表示を可能としている。

【0003】 液晶パネルをライトバルブとして使用した液晶表示装置は、液晶パネル自身は非発光素子であるため光源を別途必要とする。このために、装置全体の小型化、低電力化にはライトバルブである液晶の開口率を上げる

ことが重要である。

【0004】 この開口率を決定する要素にブラックマトリクス(BM)の形状がある。ブラックマトリクスは画素電極以外での透過光を遮断することでコントラストの低下を防ぎ、TFT部への光の浸入を遮断することでTFTの光リークによる表示品質の低下を防ぐ役目をしている。

【0005】 図6(A)～(C)は従来例による液晶パネルの説明図である。図6(A)において、一般的にブラックマトリクスは対向基板(TFT基板に対向して設けられる基板)側に形成されるため、TFT基板と対向基板の貼り合わせずれを考慮して、ブラックマトリクスの開口部が画素電極4の形状の内側になるように形成される。この場合は、1画素に対するブラックマトリクスの貼り合わせマージン6が大きいほど、開口率の低下は大きい。図中、1はゲートバス、3はソース電極である。

【0006】 そこで、図6(B),(C)のように、ドレインバス2を遮光膜として利用する方式がある。この方式は、ドレインバス上に絶縁膜(SiN膜等)を形成し、この上にドレインバスに重なるように画素電極4を配置することにより、重畳部分のブラックマトリクスが不要とな

2

り、従って貼り合わせマージン6をとる必要がなくなり開口率がその分大きくなる。

【0007】

【発明が解決しようとする課題】 図6(A)に示される構造ではドレインバスと画素電極が同一層上にあるため素子分離マージン9が必要となり、開口率の低下を招いていた。

【0008】 また、これを防ぐためのドレインバスと画素電極を重ねる図6(B),(C)の構造では、ドレインバス／画素電極間の重畳部分に寄生容量 $C_{ds}$ が生じ、寄生容量を介して画素電圧が変動する。この画素(ソース)電圧の変動量 $\Delta V_s$ は次式で表される。

【0009】  $\Delta V_s = [C_{ds} / (C_{lc} + C_{ds})] \times \Delta V_d$   
ここで、 $\Delta V_d$ はドレイン電圧変動量、 $C_{lc}$ は画素容量である。寄生容量 $C_{ds}$ はドレインバス／画素電極間の重畳面積および絶縁膜の厚さと比誘電率で決まる。

【0010】 画素電圧の変動が大きいと、ドレインバス方向に沿った輝度傾斜が生じる。これを防ぐには、ドレインバスに奇数／偶数ラインで互いに180°位相が異なる信号を印加することにより、画素電圧変動をキャンセルさせる駆動方法がある。

【0011】 図7(A),(B)は画素電圧の変動を補償する駆動方式の説明図である。図7(A)は図6(B),(C)の回路モデルで奇数ドレインバスには信号Aが、偶数ドレインバスには信号Bが印加される。図7(B)は各印加信号の波形図である。

【0012】 いま、時刻tにおいて、 $C_{ds1}$ による画素電圧の変動 $\Delta V_{s1}$ は

$$\Delta V_{s1} = [C_{ds1} / (C_{lc} + C_{ds1})] \times \Delta V_d$$

$C_{ds2}$ による画素電圧の変動 $\Delta V_{s2}$ は

$$\Delta V_{s2} = [C_{ds2} / (C_{lc} + C_{ds2})] \times (-\Delta V_d)$$

ここで、 $C_{ds1} \approx C_{ds2}$ の場合は

$$\Delta V_{s1} + \Delta V_{s2} \approx 0$$

となる。

【0013】 しかし、この駆動方式を採用しても、TFT部の存在により、画素電極の右側と左側で重畳面積が異なるため、左右の寄生容量に容量差を生じ、完全に画素電圧変動を補償出来ないという問題があった。

【0014】 本発明はドレインバスと画素電極間の重畳により生じる寄生容量による画素電圧の変動を完全にキャンセルし、表示品質を低下させることなく高開口率化して光利用効率を向上することを目的とする。

【0015】

【課題を解決するための手段】 上記課題の解決は、

1) マトリクス状に配列されたゲートバス1およびドレインバス2と、両方のバスの交差部に設けられた薄膜トランジスタと、ドレインバス上に絶縁膜7を介して左右に隣接するドレインバスに重なるように配置された画素電極4とを有し、画素電極とドレインバス間の左右の重畳部の寄生容量が等しくなるように構成されている液晶

表示装置、あるいは

2) 透明電極を有する対向電極側に、少なくとも前記薄膜トランジスタと画素電極/ゲートバス間とを遮蔽する遮光膜が該ゲートバスに平行に且つ前記ドレインバス方向に分割されて配置されている請求項1記載の液晶表示装置により達成される。

【0016】

【作用】本発明では、次の手段により画素電極部左右の寄生容量を等しくしている。

- ① 画素電極またはドレインバスの形状を変えることにより、画素電極とドレインバスの重畳面積を等しくする。
- ② ドレインバス上の絶縁膜の厚さを変える。
- ③ ドレインバス上の絶縁膜の誘電率を変える。

【0017】この結果、画素電極の右側と左側での電圧変動が互いに打ち消されて、輝度傾斜等の表示品質低下を防止している。

【0018】

【実施例】

実施例(1)：図1は本発明の実施例(1)の説明図である。

【0019】図において、画素電極の左側の画素電極とドレインバスの重畳面積を $S_1$ とし右側のそれを $S_2$ として、 $S_1 = S_2$ になるように画素電極を形成する。ここで、ドレインバスに奇数/偶数ラインで $180^\circ$ 位相の異なる映像信号を印加すると、画素電極には互いに符号が異なり絶対値の等しい電圧変動が生じるため画素電圧変動は零となる。

【0020】この図では、ドレインバスと画素電極の左右の重ね幅 $W_1$ 、 $W_2$ は画素電極の左右両端部の長さ $a$ 、 $b$ の比によって決まるが、左右の重畳面積が等しくなれば他の形状でもかまわない。

【0021】実施例(2)：図2は本発明の実施例(2)の説明図である。この例は、重ね幅を左右で変えないで、左右の寄生容量を等しくするために右側のドレインバスの幅を小さくしている。この場合、実施例(1)に比べて開口率が大きいという利点がある。この構造も左右の重畳面積が等しくなれば他の構造でもかまわない。

【0022】実施例(3)：図3は本発明の実施例(3)の説明図である。この例は絶縁膜7の厚さを変えた場合の実施例である。寄生容量は絶縁膜の厚さに反比例するため、左右の重畳部の絶縁膜の厚さ $c$ 、 $d$ を

$$d = (b/a)c$$

になるように形成する。

【0023】実施例(4)：図4は本発明の実施例(4)の説明図である。この例は絶縁膜7の比誘電率を変えた場合の実施例である。寄生容量は絶縁膜の比誘電率に比例するため、左右の重畳部の絶縁膜の比誘電率 $\epsilon_1$ 、 $\epsilon_2$ を $\epsilon_2 = (a/b)\epsilon_1$

になるように形成する。

【0024】実施例(5)：実施例(4)において、上記の比誘電率を満たすような適当な絶縁膜がない場合、絶縁膜を異なる比誘電率を持つ2層構造とし、絶縁膜の組み合わせおよび膜厚を変えることにより、任意の比誘電率を持った絶縁膜を形成できる。

【0025】実施例(6)：実施例(1)～実施例(5)を組み合わせることで、画素電極左右の寄生容量を等しくすることができる。

【0026】実施例(7)：上記実施例(1)～(6)は、ゲートバスと画素電極が重なるように配置し、画素電極とゲートバス間の容量を補助容量( $C_s$ )とした $C_s$ 、オンゲート方式の液晶パネルにも適用できる。

【0027】実施例(8)：図5は本発明の実施例(8)の説明図である。実施例(1)～(7)ではドレインバスを遮光膜として利用できるため、対向基板側に形成されるブラックマトリクスはTFT部および画素電極/ゲートバス間を遮光する構造でよい。

【0028】そこで、ブラックマトリクス(斜線部)を図のようにゲートバスに平行して配列すると、対向基板の貼り合わせ時に横方向にずれても、開口率の低下は起きない。これにより、パネル製造時の透過率の変化を抑えることができる。

【0029】

【発明の効果】本発明によれば、ドレインバスと画素電極間の重畳により生じる寄生容量による画素電圧の変動を完全にキャンセルできるため、表示品質を低下させることなく高開口率化して光利用効率を向上させることができる。この結果、表示装置の小型化、低電力化が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例(1)の説明図

【図2】 本発明の実施例(2)の説明図

【図3】 本発明の実施例(3)の説明図

【図4】 本発明の実施例(4)の説明図

【図5】 本発明の実施例(8)の説明図

【図6】 従来例による液晶パネルの説明図

【図7】 画素電圧の変動を補償する駆動方式の説明図

【符号の説明】

1 ゲートバス

2 ドレインバス

3 ソース電極

4 画素電極

5 ブラックマトリクスの開口部

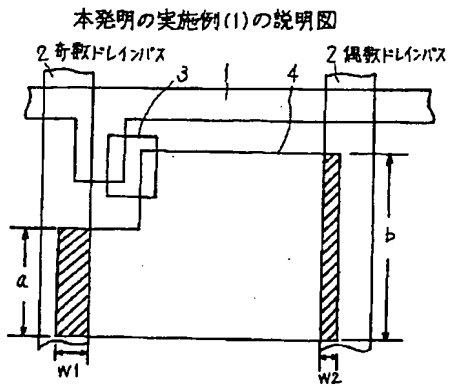
6 ブラックマトリクスの貼り合わせマージン

7 絶縁膜でSiN膜

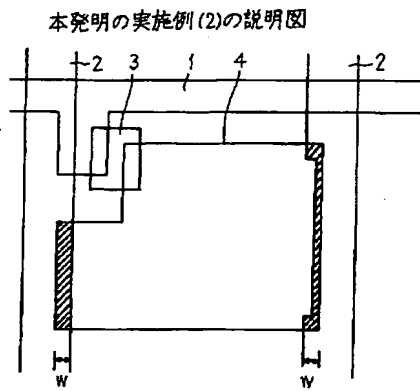
8 液晶層

9 素子分離マージン

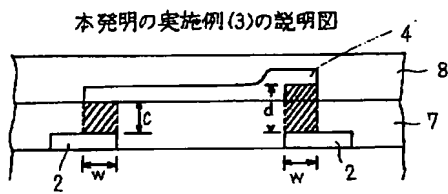
【図1】



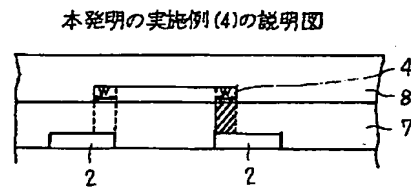
【図2】



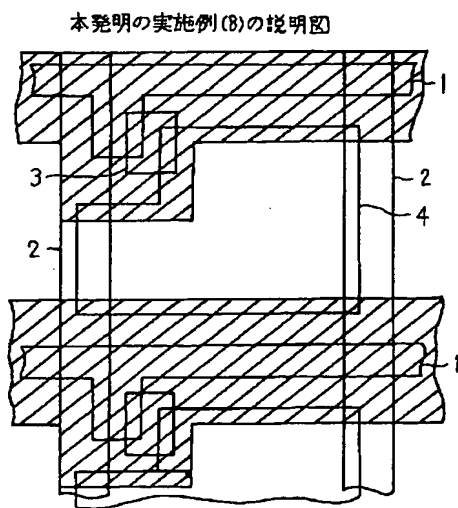
【図3】



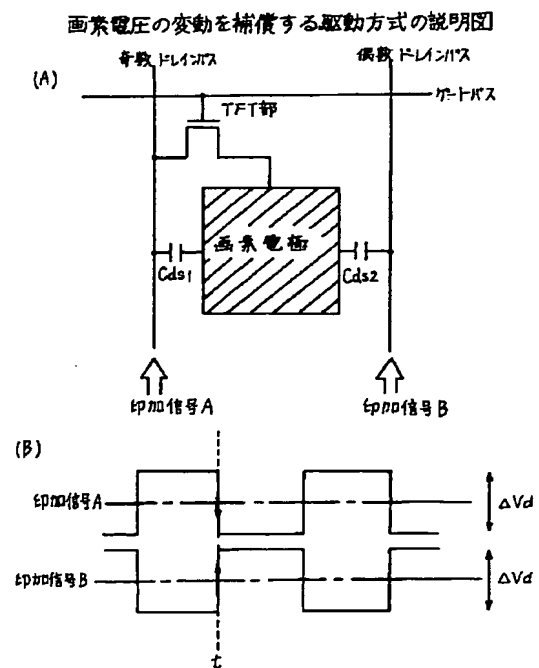
【図4】



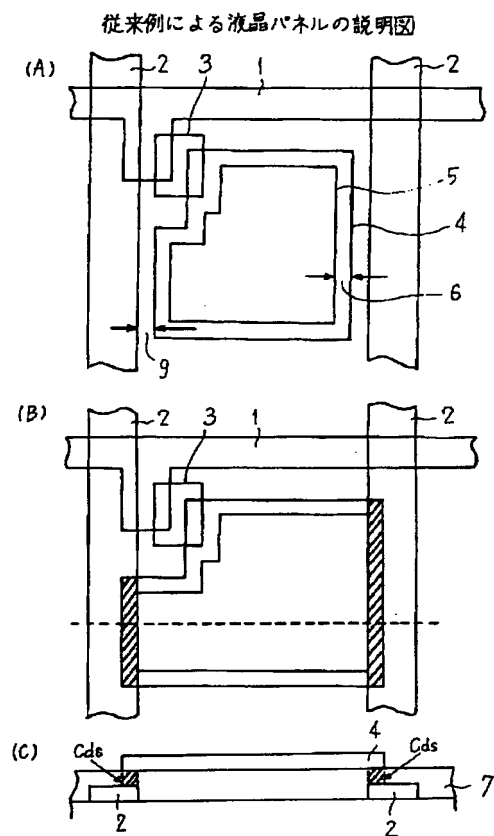
【図5】



【図7】



【図6】



フロントページの続き

(72)発明者 山口 久  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内